

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11154679 A

(43) Date of publication of application: 08 . 06 . 99

(51) Int. Cl

H01L 21/3205**H01L 21/768****H01L 27/108****H01L 21/8242**

(21) Application number: 09320073

(71) Applicant:

HITACHI LTD

(22) Date of filing: 20 . 11 . 97

(72) Inventor:

**OTA HIROYUKI
IKEDA SHUJI**

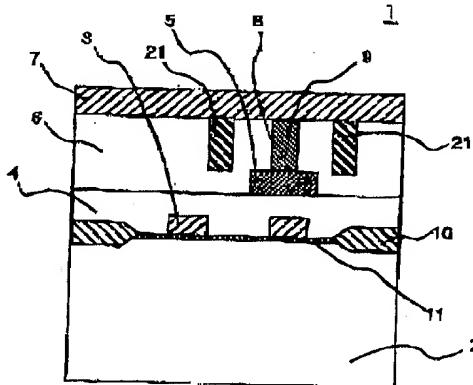
(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a highly reliable semiconductor device, wherein wire disconnection is not caused at the bottom part of a through-hole, even when the through-hole having a high aspect ratio is formed.

SOLUTION: A dummy via 21, which is a post of the same material as a plug 9 having vertical direction longer than the parallel direction with respect to the surface of a silicon substrate, is arranged at the peripheral part of a through-hole 8 without forming the flow path of the current in the vicinity of the through-hole 8. By forming the dummy via 21, the stress acting on the bottom part of the through-hole 8 can be dispersed. Even when the depth of the through-hole 8 is deep, the stress of the plug 9 is made to decrease, and the stripping of the film at the bottom surface of the through-hole 8 can be prevented. Consequently, a highly reliable semiconductor 1 can be realized, even when the aspect ratio is high.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-154679

(43)公開日 平成11年(1999)6月8日

(51)Int.Cl.⁶
H 0 1 L 21/3205
21/768
27/108
21/8242

識別記号

F I
H 0 1 L 21/88
21/90
27/10 6 2 1 A
6 8 1 F

審査請求 未請求 請求項の数9 O.L (全10頁)

(21)出願番号 特願平9-320073

(22)出願日 平成9年(1997)11月20日

(71)出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 太田 裕之
茨城県土浦市神立町502番地 株式会社日
立製作所機械研究所内

(72)発明者 池田 修二
東京都小平市上水本町五丁目20番地1号
株式会社日立製作所半導体事業部内

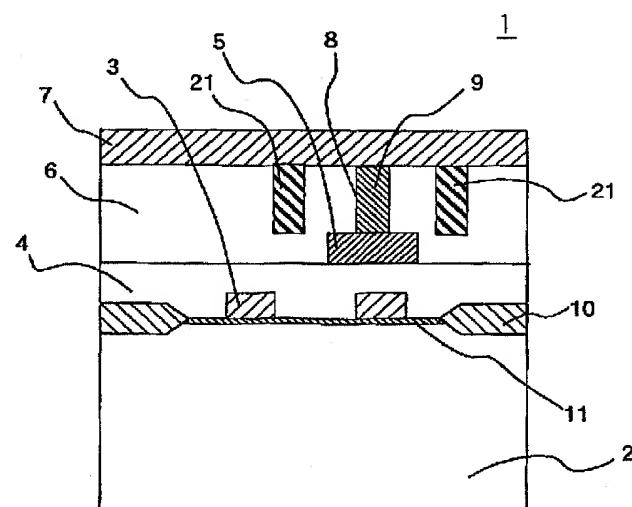
(74)代理人 弁理士 春日 讓

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】アスペクト比の高いスルーホールを形成した場合においてもスルーホール底部にて断線が発生しない、信頼性の高い半導体装置を実現する。

【解決手段】スルーホール8の近傍に電流の流路となることがなく、シリコン基板2の表面に対して鉛直方向が平行方向よりも長い、プラグ9と同材質な柱であるダミーピア21をスルーホール8の周辺に配置する。ダミーピア21を形成することで、スルーホール8の底部に作用する応力を分散することができ、スルーホール8の深さが深い場合においてもプラグ9の応力を低減させ、スルーホール8の底面の膜の剥離を防止できる。よってアスペクト比が高いスルーホールの場合でも信頼性の高い半導体デバイス1を実現することができる。



【特許請求の範囲】

【請求項1】半導体基板と、この半導体基板上に積層される層間絶縁膜と、上記半導体基板上に積層される上層配線及び下層配線と、上層配線と下層配線とを電気的に接続するためのプラグと、を少なくとも有する半導体装置において、半導体基板表面に対して鉛直方向に伸び、上記プラグの近傍であり、上記層間絶縁膜中に配置される少なくとも1本の柱であって、上記柱は半導体基板表面に対して鉛直方向が平行方向よりも長く、上記柱の底面あるいは上面のどちらか一方のみが上層配線、下層配線の少なくともどちらかに接しており、上記柱が電流の流路とならず、上記層間絶縁膜の熱膨張係数より、大の熱膨張係数を有する上記柱を備えることを特徴とする半導体装置。

【請求項2】半導体基板と、この半導体基板上に積層される層間絶縁膜と、上記半導体基板上に積層される上層配線及び下層配線と、上層配線と下層配線とを電気的に接続するためのプラグと、を少なくとも有する半導体装置において、半導体基板表面に対して鉛直方向に伸び、上記柱の表面がすべて上記絶縁膜に接し、上記層間絶縁膜の熱膨張係数より、大の熱膨張係数を有する上記柱を備えることを特徴とする半導体装置。

【請求項3】請求項1又は2記載の半導体装置において、上記柱の材質と上記プラグの材質が同一であることを特徴とする半導体装置。

【請求項4】請求項1又は2記載の半導体装置において、上記柱の材質が金属材料であることを特徴とする半導体装置。

【請求項5】請求項1又は2記載の半導体装置において、上記柱の材質がW、Mo、TiN、Al、Cuのいずれかであることを特徴とする半導体装置。

【請求項6】請求項1又は2記載の半導体装置において、半導体基板表面の鉛直上方から見て、上記柱が上層配線又は下層配線に対して±0.1μmの精度で鏡面対象になるように配置されていることを特徴とする半導体装置。

【請求項7】請求項1又は2記載の半導体装置において、半導体基板表面の鉛直上方から見て、上記柱が上記プラグの中心に対して±0.1μmの精度で回転対象になるように配置されていることを特徴とする半導体装置。

【請求項8】半導体基板と、この半導体基板上に積層される層間絶縁膜と、上記半導体基板上に積層される上層配線及び下層配線と、上層配線と下層配線とを電気的に接続するためのプラグと、を少なくとも有する半導体装置において、

メモリ部と、ロジック部とを備えるとともに、半導体基板表面に対して鉛直方向に伸び、上記プラグの近傍であり、上記層間絶縁膜中に配置される少なくとも1本の柱であって、上記柱は半導体基板表面に対して鉛直方向が平行方向よりも長く、上記柱の底面あるいは上面のどちらか一方のみが上層配線、下層配線の少なくともどちらかに接しており、上記柱が電流の流路とならず、上記層間絶縁膜の熱膨張係数より、大の熱膨張係数を有する上記柱を備えることを特徴とする半導体装置。

10 【請求項9】半導体基板と、この半導体基板上に積層される層間絶縁膜と、上記半導体装置上に積層される上層配線及び下層配線と、上層配線と下層配線とを電気的に接続するためのプラグと、を少なくとも有する半導体装置において、

メモリ部と、ロジック部とを備えるとともに、半導体基板表面に対して鉛直方向に伸び、上記柱の表面がすべて上記絶縁膜に接し、上記層間絶縁膜の熱膨張係数より、大の熱膨張係数を有する上記柱を備えることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路等の半導体装置に関する。

【0002】

【従来の技術】半導体装置の従来の技術としては、例えば、図12に示すような半導体デバイス1の構造が知られている。

【0003】図12に示すように、シリコン基板2上に素子分離膜10、ゲート酸化膜11及びゲート電極3が形成され、層間絶縁膜4を介してその上方に下層配線5が形成される。この下層配線5の上方には、層間絶縁膜6を介して上層配線7が形成される。そして、上層配線7と下層配線5とはスルーホール8に埋め込まれた埋込み電極(プラグ)9によって電気的に接続される。

【0004】上述のような構造である図12に示した半導体デバイス1は、以下に示す製造方法によって形成される。まず、各トランジスタを電気的に絶縁分離するため、局所的にシリコン基板2の熱酸化を行い、素子分離膜10を形成する。さらに、トランジスタを形成する領域にゲート酸化膜11を熱酸化法により形成し、その上にゲート電極3をCVD法及びこれに続くフォトリソグラフィ技術、エッチング技術を用いて形成する。

【0005】次に、シリコン基板2の内部にpn接合を形成するためにイオン注入が行われ、イオン注入層が形成される。ゲート電極3の上にゲート電極3を覆うように層間絶縁膜4がCVD法を用いて形成される。この際、層間絶縁膜4の表面をできるだけ平坦化するため

に、アニールによって層間絶縁膜4をリフローさせたり、層間絶縁膜を厚く堆積させてエッチバックすることが行われる。

【0006】さらに、層間絶縁膜4の上面にスパッタ法及びこれに続くフォトリソグラフィ技術を用いて下層配線5が形成される。この下層配線5上方にシリコン窒化膜やシリコン酸化膜を主成分とする層間絶縁膜6が形成される。

【0007】さらに、フォトリソグラフィ及びエッチング技術を用いて、下層配線5の所定の位置に向かってスルーホール8を形成する。このスルーホール内をタングステン等の金属を蒸着技術によって埋め込み、エッチバックを行い、スルーホール8内にのみプラグ9を形成する。

【0008】場合によっては接着性向上のため、チタンナイトライド膜等を下層配線5とプラグ9の間に形成する場合もある。また、下層配線5の上方に上層配線7を形成し、下層配線5と上層配線7とが電気的に接続された状態とする。

【0009】なお、この種の技術に関するものとして、例えば、特開平6-163718号公報に記載のものが挙げられる。

【0010】

【発明が解決しようとする課題】ところで、半導体デバイス1ではCPU等の機能単独ではなく、ダイナミックメモリーとCPUとの結合等、多機能化が進行しており、これに伴って配線構造も複雑となってきた。

【0011】例えば、図13に示すように、ダイナミックメモリーとCPU等のロジック回路（論理回路）との結合を考えると、ダイナミックメモリーパート13にはゲート電極3の上部に背の高いキャパシタ15が存在するため、配線はキャパシタ15の厚さを避けて通ることになる。

【0012】その結果、キャパシタ15の上の配線と下の配線とをつなぐためのスルーホールでは、そのアスペクト比（スルーホール直径に対する高さの比）が非常に大きくなる。

【0013】しかしながら、本願発明者が高アスペクトのスルーホールを形成し、膜を埋め込んでプラグ9を形成したところ、膜の底部において剥離が生じる場合があり、従来のアスペクト比の低い場合に較べて信頼性が低下した。この膜の剥離はスルーホールの密度が低い領域で発生しており、隣のスルーホールとの間隔が約10μm以下の場合には発生しなかった。

【0014】この膜の剥離のメカニズムを解明するために本願発明者は各膜の応力を測定するとともに、この結果を用いて有限要素法による応力解析を行い、以下の結論を得た。

【0015】すなわち、スルーホールに電導性の膜を埋め込んだ状態でアニールを行った場合に、電導性の特に

スルーホールの長手方向に膜が収縮する。さらに、その降温時において、層間絶縁膜と電導性の膜の熱膨張係数の違いから熱ひずみが発生し、電導性の膜は室温に近づくほど、特にスルーホールの長手方向に収縮することになる。

【0016】よって、スルーホール内の導電性の膜の底部は鉛直上方に大きな応力を受けることになる。スルーホール内の導電性の膜の底部は、異種材料の集まった界面であるため、特に応力が集中することになる。よって、この引張り応力がスルーホールの底部において剥離、つまり断線を発生させる。

【0017】また、この引張り応力はスルーホールが長い（アスペクト比较大い）ほど大きい傾向となる。よって、従来の比較的アスペクト比が小さいスルーホールの場合には問題とならなかつたが、ダイナミックメモリーとCPU等のロジック回路との結合などのニーズにより、高アスペクトなスルーホールを用いた場合には歩留まりの低下等の信頼性の低下を招くことが明らかとなつた。

【0018】以上のように、従来の方法によってアスペクト比の高いスルーホールを形成すると断線によって信頼性が低下するという問題点がある。

【0019】したがって、本発明の目的は、アスペクト比の高いスルーホールを形成した場合においても、そのスルーホール底部にて断線が発生しない、信頼性の高い半導体装置を実現することである。

【0020】

【課題を解決するための手段】

（1）上記目的を達成するため、本発明は、次のように構成される。すなわち、半導体基板と、この半導体基板上に積層される層間絶縁膜と、上記半導体基板上に積層される上層配線及び下層配線と、上層配線と下層配線とを電気的に接続するためのプラグと、を少なくとも有する半導体装置において、半導体基板表面に対して鉛直方向に伸び、上記プラグの近傍であり、上記層間絶縁膜中に配置される少なくとも1本の柱であって、上記柱は半導体基板表面に対して鉛直方向が平行方向よりも長く、上記柱の底面あるいは上面のどちらか一方のみが上層配線、下層配線の少なくともどちらかに接しており、上記柱が電流の流路とならず、上記層間絶縁膜の熱膨張係数より、大の熱膨張係数を有する上記柱を備える。

【0021】（2）半導体基板と、この半導体基板上に積層される層間絶縁膜と、上記半導体基板上に積層される上層配線及び下層配線と、上層配線と下層配線とを電気的に接続するためのプラグと、を少なくとも有する半導体装置において、半導体基板表面に対して鉛直方向に伸び、上記プラグの近傍であり、上記層間絶縁膜中に配置される少なくとも1本の柱であって、上記柱は半導体基板表面に対して鉛直方向が平行方向よりも長く、上記柱の表面がすべて上記絶縁膜に接し、上記層間絶縁膜の

熱膨張係数より、大の熱膨張係数を有する上記柱を備える。

【0022】(3) 好ましくは、上記(1)又は(2)において、上記柱の材質と上記プラグの材質が同一である。

【0023】(4) また、好ましくは、上記(1)又は(2)において、上記柱の材質が金属材料である。

【0024】(5) また、好ましくは、上記(1)又は(2)において、上記柱の材質がW、Mo、TiN、Al、Cuのいずれかである。

【0025】(6) また、好ましくは、上記(1)又は(2)において、半導体基板表面の鉛直上方から見て、上記柱が上層配線又は下層配線に対して±0.1μmの精度で鏡面対象になるように配置されている。

【0026】(7) また、好ましくは、上記(1)又は(2)において、半導体基板表面の鉛直上方から見て、上記柱が上記プラグの中心に対して±0.1μmの精度で回転対象になるように配置されている。

【0027】(8) また、半導体基板と、この半導体基板上に積層される層間絶縁膜と、上記半導体基板上に積層される上層配線及び下層配線と、上層配線と下層配線とを電気的に接続するためのプラグと、を少なくとも有する半導体装置において、メモリ部と、ロジック部とを備えるとともに、半導体基板表面に対して鉛直方向に伸び、上記プラグの近傍であり、上記層間絶縁膜中に配置される少なくとも1本の柱であって、上記柱は半導体基板表面に対して鉛直方向が平行方向よりも長く、上記柱の底面あるいは上面のどちらか一方のみが上層配線、下層配線の少なくともどちらかに接しており、上記柱が電流の流路とならず、上記層間絶縁膜の熱膨張係数より、大の熱膨張係数を有する上記柱を備える。

【0028】(9) また、半導体基板と、この半導体基板上に積層される層間絶縁膜と、上記半導体装置上に積層される上層配線及び下層配線と、上層配線と下層配線とを電気的に接続するためのプラグと、を少なくとも有する半導体装置において、メモリ部と、ロジック部とを備えるとともに、半導体基板表面に対して鉛直方向に伸び、上記プラグの近傍であり、上記層間絶縁膜中に配置される少なくとも1本の柱であって、上記柱は半導体基板表面に対して鉛直方向が平行方向よりも長く、上記柱の表面がすべて上記絶縁膜に接し、上記層間絶縁膜の熱膨張係数より、大の熱膨張係数を有する上記柱を備える。

【0029】プラグの近傍に上記柱を配置することによって、層間絶縁膜とプラグとの間の熱膨張係数の差によって生じる力を分散することができる。たとえば、降温時において層間絶縁膜の収縮量はプラグより小さいので、プラグは層間絶縁膜から大きな引張りの力を受けることになる。

【0030】しかしながら、プラグの周囲に上記柱を配

置すると、その引張り力を上記柱も負担することになるので、プラグの引張り応力をその分低下させることができる。

【0031】

【発明の実施の形態】以下、図面を用いて本発明における実施形態について説明する。なお、図1、図2、図3、図4は本発明に係る半導体装置の主要部である配線部分の構造を示した断面模式図である。

【0032】本発明の第1の実施形態である半導体デバイス1の断面構造を図1に示す。この半導体デバイス1の断面構造は、主に、シリコン基板2、ゲート電極3、層間絶縁膜4、下層配線5、上層配線7、層間絶縁膜6、スルーホール8、プラグ9、素子分離膜10、ゲート酸化膜11から構成されている。

【0033】シリコン基板2上には素子分離膜10、ゲート酸化膜11及びゲート電極3が形成され、層間絶縁膜4を介してその上方に下層配線5が形成された構造となっている。層間絶縁膜4はシリコン酸化物を含む絶縁物で構成され、下層配線5はアルミニウムを含む導電体から構成される。下層配線5の上方には、層間絶縁膜6を介して上層配線7が形成される。

【0034】層間絶縁膜6はシリコン酸化物を含む絶縁物で構成される。上層配線7と下層配線5はスルーホール8に埋め込まれたプラグ9によって電気的に接続される。この第1の実施形態例では埋め込み電極9はタンガステンを含む材料で構成されている。また、シリコン酸化物を含む層間絶縁膜6とタンガステンを含むプラグ9の間に薄いチタンナイトライドの膜を介在させてもよい。

【0035】また、ダミーピア(ダミープラグ)又は柱21をスルーホール8を囲むように配置する。ダミーピアの材質は熱膨張係数が層間絶縁膜6より大きいものとする。このときダミーピア21はプラグ9と同様な方向が長くなるようにする。すなわち、ダミーピア21の、シリコン基板2の表面に対して鉛直方向の寸法が、平行方向よりも長いように形成する。

【0036】このように、スルーホール8の周囲にダミーピア21を配置することによって、層間絶縁膜6とプラグ9の間の熱膨張係数の差によって生じる力を分散することができる。たとえば、降温時において層間絶縁膜6の収縮量はプラグ9より小さいので、プラグ9は層間絶縁膜6から大きな引張りの力を受けることになる。

【0037】しかしながら、本発明のようにプラグ9の周囲にダミーピア21を配置すると、その引張り力をダミーピア21も負担することになるので、プラグ9の引張り応力をその分低下させることができる。

【0038】よって、本発明によれば、アスペクト比が高いスルーホールを持つ半導体装置においても、スルーホール底部において断線のない、信頼性の高い半導体装置を実現することができる。

【0039】なお、プラグ9はシリコン基板2に対して鉛直上方に引張られることから、ダミーピア21も平行方向よりも鉛直上方に長く形成することによって力の負担が大きくなるので効果が顕著となる。

【0040】また、ダミーピア21の熱膨張係数が層間絶縁膜6の熱膨張係数より大きければ、ダミーピア21が引張り力を負担するようになるので、効果を有するが、ダミーピア21の熱膨張係数が大きいほど、またヤング率が大きいほど、その効果は大きくなる。

【0041】ただし、ダミーピア21はプラグ9の応力を軽減するために形成されるものであり、その上下面が配線に接触している必要はない。つまり、ダミーピア21の表面の全てが、層間絶縁膜6に接するように配置することもできる。そして、ダミーピア21に電流が流れることはなく、又、故意に電荷の蓄積部となることもない。

【0042】なお、ダミーピア21の配置本数、及びプラグ9との間隔については、後述する。

【0043】本発明の第1の実施形態である半導体装置の製造方法の概略は以下の通りである。まず、各トランジスタを電気的に絶縁分離するため、局所的にシリコン基板2の熱酸化を行い、素子分離膜10を形成する。さらに、トランジスタを形成する領域にゲート酸化膜11を熱酸化法により形成し、その上にゲート電極3をCVD法及びこれに続くフォトリソグラフィ技術、エッチング技術を用いて形成する。

【0044】次に、シリコン基板2の内部にpn接合を形成するためにイオン注入が行われ、イオン注入層12が形成される。ゲート電極3の上にゲート電極3を覆うように層間絶縁膜4がCVD法を用いて形成される。この際、層間絶縁膜4の表面をできるだけ平坦化するために、アニールによって層間絶縁膜4をリフローさせたり、層間絶縁膜を厚く堆積させてエッチバックすることが行われる。

【0045】さらに、層間絶縁膜4の上面にスパッタ法及びこれに続くフォトリソグラフィ技術、エッチング技術を用いて下層配線5を形成する。その上方に下層配線5を覆うように層間絶縁膜6が形成される。この後にダミーピア21を形成する。

【0046】まず、フォトリソグラフィ及びエッチングの技術によって層間絶縁膜6中にシリコン基板2に対して鉛直方向に長い穴を形成し、その穴に熱膨張係数が層間絶縁膜6より大きい物質をCVD法あるいはスパッタ法等の蒸着法で堆積させる。さらに、層間絶縁膜6を露出させるためにエッチバックを行う。

【0047】その後、後の工程で形成される上層配線7と下層配線5の電気的な接続を行うために、局所的なエッチングによりコンタクトホール8が形成され、その内側にプラグ9が形成される。さらに、プラグ9と接するように上層配線7を形成する。ダミーピア21は層間絶

縁膜6を貫通しなくともよいが、貫通して下の層間絶縁膜4内にまたがって形成されても良い。

【0048】本発明の第2の実施形態としては、ダミーピア21の材質がプラグ9と同等であるものがある。この第2の実施形態によれば、半導体装置の構造は図1に示したものと同じであるが、ダミーピア21をプラグ9の製造プロセスと同時に形成できるため、その工程が簡略化できる利点を合わせ持つ。

【0049】製造方法としては、層間絶縁膜6の形成後10にコンタクトホール8と同時にダミーピア21のための穴も形成する。さらに、コンタクトホール8にプラグ9を埋め込むときに同時にダミーピア21も埋め込む。これにより、ダミーピア21を単独に形成することができなく、工程の簡略化を図ることができる。

【0050】本発明の第3の実施形態としては、ダミーピア21の材質が金属で構成されているものがある。この第3の実施形態によれば、半導体装置の構造は図1に示したものと同等であるが、ダミーピア21を金属で構成することによって、半導体装置の稼働時においてシリコン基板2の表面近傍で発生した熱をダミーピア21を通して半導体装置表面に高速に伝えることができ、半導体装置を安定に動作させることができる。ダミーピア21を金属で形成すると、熱伝導率が層間絶縁膜に較べてタンクステンで128倍、銅で170倍も高いため、これを熱の有効な流路とすることができます。

【0051】すなわち、ダミーピア21を金属で構成すると、シリコン基板2の表面のPN接合部で発生した熱をダミーピア21を通して半導体装置外に早く放出することができる利点を合わせ持つ。なお、ダミーピア21の材質は層間絶縁膜との接着強度、伝熱性等から考慮して、W、Mo、TiN、Al、Cuなどが望ましい。

【0052】本発明の第4の実施形態を図2に模式的に示す。この第4の実施形態は、層間絶縁膜4と6とにまたがってスルーホール8が1つのエッチング工程で形成され、プラグ9を埋め込んだ例に本発明を適用した場合である。この第4の実施形態では、ダミーピア21は層間絶縁膜6を貫通し、層間絶縁膜4と6とにまたがって形成されている。

【0053】この第4の実施形態のプラグ9は、層間絶縁膜4と6とにまたがって存在するため、ダミーピア21も層間絶縁膜4と6とにまたがって形成した方が応力低減効果が大きい。

【0054】よって、本発明の第4の実施形態によれば、複数の層間絶縁膜4、6にまたがって存在するようなアスペクト比が高いスルーホール8を持つ半導体装置においても、スルーホール8の底部において断線のない、信頼性の高い半導体装置を実現することができる。

【0055】本発明の第5の実施形態を図3に模式的に示す。この第5の実施形態は、層間絶縁膜4内のプラグ下部23の上部へ層間絶縁膜6内のプラグ上部22を積

層した構造に本発明を適用した場合である。

【0056】この場合においても、第4の実施形態と同様に、ダミービア21も層間絶縁膜4と6とにまたがって形成した方が応力低減効果が大きい。

【0057】よって、本発明の第5の実施形態によれば、複数の層間絶縁膜4、6にまたがって存在するようなアスペクト比が高いスルーホールを持つ半導体装置においても、スルーホール底部において断線のない、信頼性の高い半導体装置を実現することができる。

【0058】本発明の第6の実施形態を図4に模式的に示す。この第6の実施形態は、1つのシリコン基板2の上にDRAM(メモリ一部13)とロジック回路(ロジック部14)とを混載した構造へ本発明を適用した場合である。この第6の実施形態では、メモリ一部13にキャパシタ15が存在するために、アスペクト比の高いスルーホール8が不可欠となっている。

【0059】そこで、キャパシタ15より上層の配線7から下層の配線配線5へアスペクト比の大きなプラグ9を形成する場合には、その周辺にダミービア21を配し、第1の実施形態と同様に、プラグ9に働く引張り力を低減させる。

【0060】よって、本発明の第6の実施形態によれば、1つのシリコン基板2の上にメモリ一部13とロジック部14とを混載した構造であって、複数の層間絶縁膜にまたがって存在するようなアスペクト比が高いスルーホールを持つ半導体装置においても、スルーホール底部において断線のない、信頼性の高い半導体装置を実現することができる。

【0061】本発明の第7の実施形態を図5に模式的に示す。図5は半導体デバイス1の配線部分をシリコン基板2の鉛直上方から見た様子をダミービア21の配置を含めて描いたものである。上層配線7と下層配線5との交差する部分に上層配線7と下層配線5とをつなぐようにプラグ9が配されている。ダミービア21はプラグ9の周囲に4つ配置している。

【0062】すなわち、半導体基板表面の鉛直上方から見て、4つのダミービア21がプラグ9の中心に対して回転対象となるように配置されている。現在の技術から、その位置決め精度は±0.1μmの範囲である。あるいは効果は多少落ちるが、図6に示すように、ダミービア21を2つ配置しても良い。

【0063】すなわち、半導体基板表面の鉛直上方から見て、2つのダミービア21が下層配線5上に、プラグ9を間にいて、±0.1μmの精度で鏡面対象になるように配置されている。なお、図6の例において、2つのダミービア21は、上層配線7の上に配置されていても良い。

【0064】図5のA-A'線に沿った断面を図7に示す。この図7に示す断面ではダミービア21は層間絶縁膜6の上表面から鉛直下方に長く伸びており、層間絶縁

膜以外のものとは接していない。

【0065】なお、ダミービア21の深さはプラグ9と同程度が望ましいが、層間絶縁膜6を貫通する場合であっても、層間絶縁膜6の内部に留まる場合であっても、本発明の効果を得ることができる。

【0066】以上のように、本発明の第7の実施形態においても、スルーホール底部において断線のない、信頼性の高い半導体装置を実現することができる。

【0067】本発明の第8の実施形態を図8に模式的に示す。この図8は、半導体デバイス1の配線部分をシリコン基板2の鉛直上方から見た様子をダミービア21の配置を含めて描いた図である。図8において、上層配線7と下層配線5との交差する部分に上層配線7と下層配線5とをつなぐようにプラグ9が配置されている。

【0068】そして、2つのダミービアA24は、下層配線5上に配置され、鉛直上方に伸びている。一方、2つのダミービアB25は、上層配線7上に配置され、これより鉛直下方に伸びている。

【0069】すなわち、図8のA-A'線に沿った断面では、図1と同様な構成となり、図8のB-B'線に沿った断面では、図9に示すようになる。

【0070】また、図10に示すように、図5に示した例の様に、下層配線5や上層配線7に接しないダミービア21を同時に配することも有効である。

【0071】この第8の実施形態においても、スルーホール底部において断線のない、信頼性の高い半導体装置を実現することができる。

【0072】なお、図5、図6、図8、図10に示したダミービア21、24、25の本数及び配置については、上述した本発明の第1～第7の実施形態においても、適用することができる。

【0073】図11は、スルーホールとダミービア(ダミープラグ)との間隔と、スルーホール内の底部に作用する応力との関係を、有限要素法により計算した結果を示すグラフである。なお、この図11において、横軸は、スルーホール中心とダミープラグの中心との距離(μm)を示し、縦軸は、ダミープラグが無い場合の応力値を1とした場合の応力比を示す。したがって、この応力比が1未満となる場合に、ダミービアを配置したことによる応力低減効果が表れたと考えて良い。

【0074】図11から明かなように、距離が10μm以内に接近すれば、応力比が1より小となる。したがって、ダミープラグと、スルーホールとの距離は、10μm未満とすれば、良いことが判断できる。

【0075】なお、スルーホールの近傍に配置するダミープラグの数は、1個以上であれば、応力を低減することができるが、好ましくは、2個以上配置し、スルーホールを中心として、回転対称となるように配置するのが望ましい。これは、スルーホールの底部に作用する応力の分布を均一化にでき、応力の抑制効果を大

とすることが期待できるからである。

【0076】また、ダミービアの材質としては、上述したものに限らず、熱膨張係数が、層間絶縁膜より大のものであればよい。

【0077】また、ダミービアの形状は、上述した例においては円柱であるが、円柱に限らず、角柱、楕円の柱等であってもよい。

【0078】

【発明の効果】本発明は、以上説明したように構成されているため、次のような効果がある。本発明によれば、アスペクト比が高いスルーホールを持つ半導体装置においても、スルーホール底部において断線が発生しない、信頼性の高い半導体装置を実現することができる。

【0079】すなわち、スルーホールの近傍に電流の流路となることのない、シリコン基板表面に対して鉛直方向が平行方向よりも長い、プラグと同材質な柱をスルーホール周辺に配置することによって、スルーホール深さが深い場合においても埋め込み電極（プラグ）の応力を低減させ、膜の剥離を防止できる。

【0080】よって、アスペクト比が高いスルーホールの場合でも信頼性ある伝送が可能となり、信頼性の高い半導体装置を得ることができる。

【0081】また、本発明によれば、配線の信頼性を保つつ、メモリー回路とロジック回路等を混載した多機能なデバイスを製造することができる。すなわち、スルーホールの近傍に電流の流路となることのない、シリコン基板表面に対して鉛直方向が平行方向よりも長い、プラグと同材質な柱をスルーホール周辺に配置することによって、スルーホール深さが深い場合においても埋め込み電極の応力を低減させ膜の剥離を防止できる。

【0082】よって、高さの違うメモリー回路とロジック回路を電気的に接続するために深いスルーホールを形成することが可能となり、多機能かつ信頼性の高い半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明における第1の実施形態の要部断面模式図である。

【図2】本発明における第4の実施形態の要部断面模式図である。

【図3】本発明における第5の実施形態の要部断面模式

図である。

【図4】本発明における第6の実施形態の要部断面模式図である。

【図5】本発明における第7の実施形態の要部上面模式図である。

【図6】本発明における第7の実施形態の変形例の要部上面模式図である。

【図7】図5の例のA-A'線に沿った断面模式図である。

10 【図8】本発明における第8の実施形態の要部上面模式図である。

【図9】図8の例のB-B'線に沿った断面模式図である。

【図10】本発明における第8の実施形態の変形例の要部上面模式図である。

【図11】スルーホールとダミープラグとの間隔と、応力との関係を示すグラフである。

【図12】従来の半導体装置の要部断面模式図である。

20 【図13】従来の技術を用いてメモリー回路とロジック回路を混載した場合を示す断面模式図である。

【符号の説明】

1 半導体デバイス

2 シリコン基板

3 ゲート電極

4 層間絶縁膜

5 下層配線

6 層間絶縁膜

7 上層配線

8 スルーホール

30 9 プラグ

10 素子分離膜

11 ゲート酸化膜

13 メモリー部

14 ロジック部

15 キャパシタ

21 ダミービア

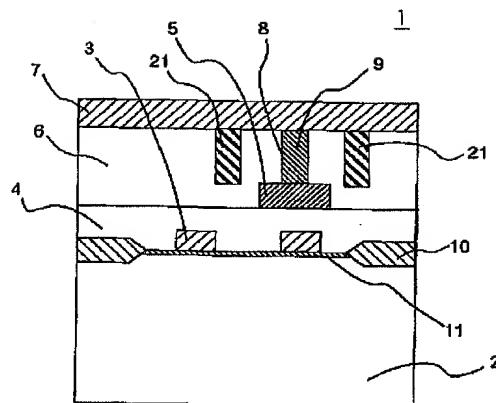
22 プラグ上部

23 プラグ下部

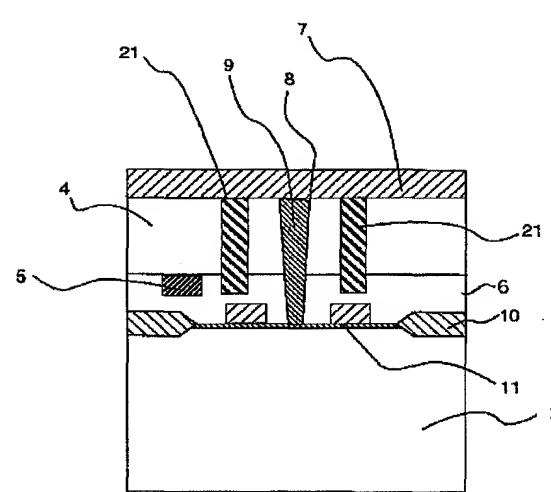
24 ダミービアA

40 25 ダミービアB

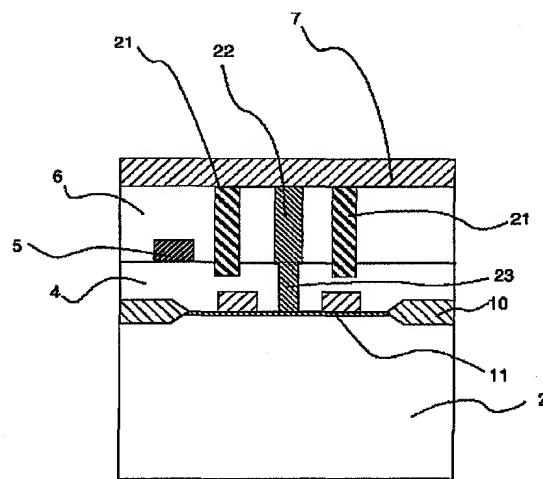
【図 1】



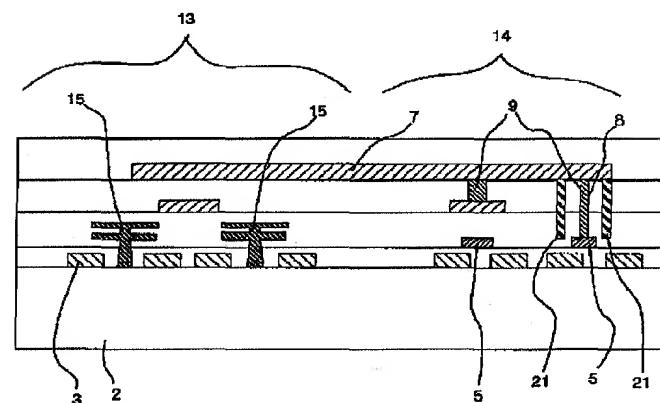
【図 2】



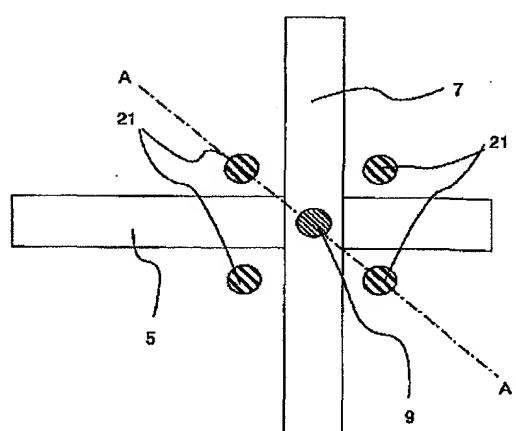
【図 3】



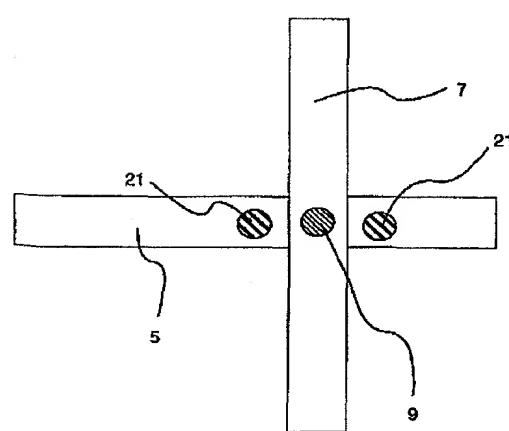
【図 4】



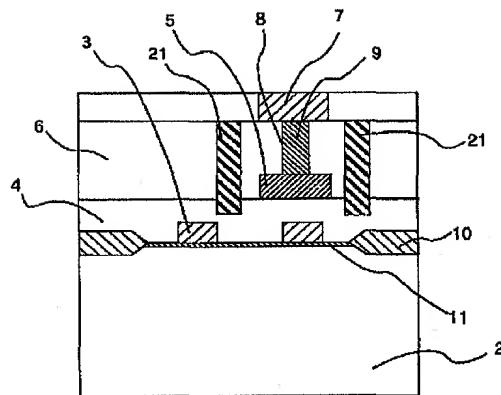
【図 5】



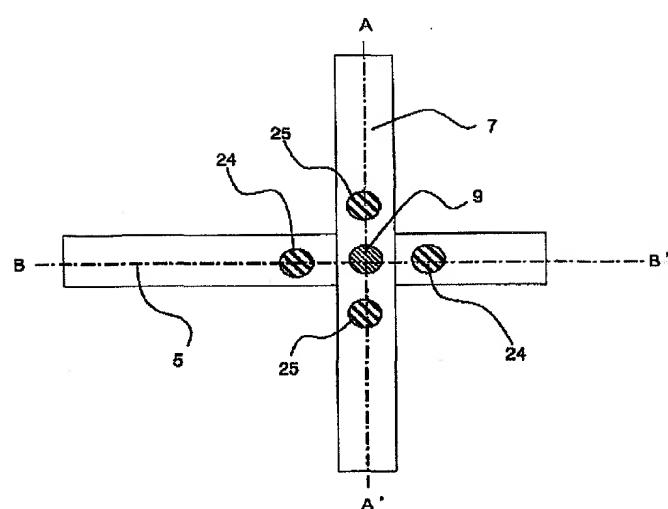
【図 6】



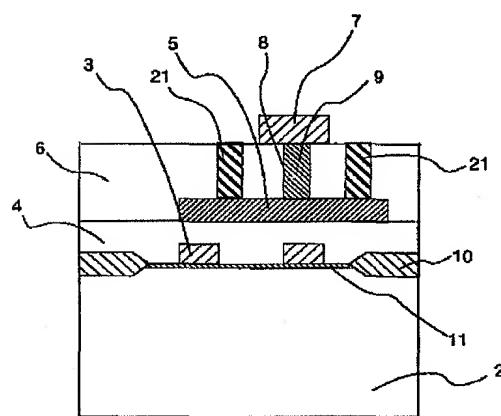
【図7】



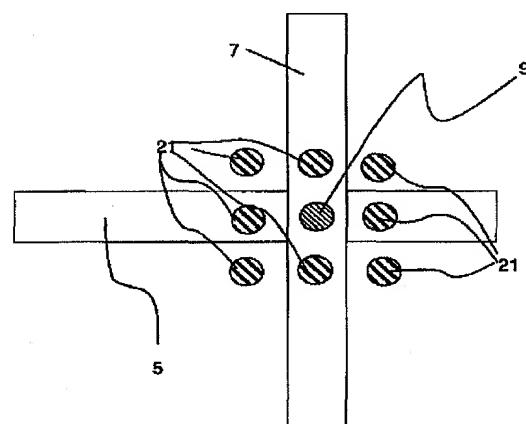
【図8】



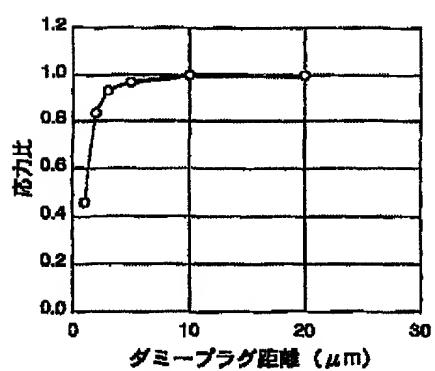
【図9】



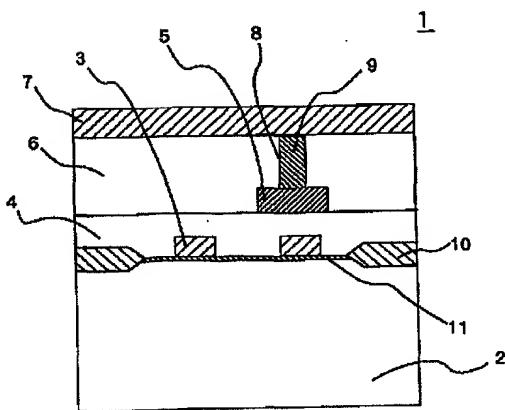
【図10】



【図11】



【図12】



【図13】

